

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67938

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8247
29/788
29/792
27/115

H 0 1 L 29/78
27/10

3 7 1
4 3 4

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平9-228263

(22) 出願日 平成9年(1997) 8月25日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 伊東 英樹

長崎県諫早市津久葉町1883番43 ソニー長
崎株式会社内

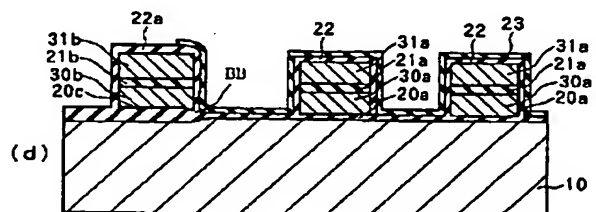
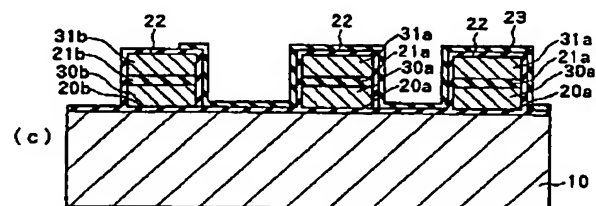
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体不揮発性記憶装置の製造方法

(57) 【要約】

【課題】膜厚の異なるメモリトランジスタのゲート絶縁膜と選択トランジスタのゲート絶縁膜をゲート絶縁膜の加工工程を短縮して形成でき、また、パターン密度の縮小化などが可能な半導体不揮発性記憶装置の製造方法を提供する。

【解決手段】メモリトランジスタ形成領域と選択トランジスタ形成領域において、半導体基板10に形成されたチャネル形成領域の上層にゲート絶縁膜20a、20bを形成し、その上層に電荷蓄積層30a、30bを形成し、その上方にコントロールゲート31a、31bを形成し、少なくともメモリトランジスタ形成領域を被覆するマスク層23を形成して、このマスク層をマスクとして選択トランジスタ形成領域のゲート絶縁膜20cを厚膜化し、メモリトランジスタ形成領域と選択トランジスタ形成領域において、ソース・ドレイン領域を形成する。



【特許請求の範囲】

【請求項 1】電荷蓄積層を有するメモリトランジスタと、当該メモリトランジスタを選択する選択トランジスタとを有する半導体不揮発性記憶装置の製造方法であって、

メモリトランジスタ形成領域と選択トランジスタ形成領域において、半導体基板に形成されたチャネル形成領域の上層にゲート絶縁膜を形成する工程と、

前記メモリトランジスタ形成領域と選択トランジスタ形成領域において、前記ゲート絶縁膜の上層に電荷蓄積層を形成する工程と、

前記メモリトランジスタ形成領域と選択トランジスタ形成領域において、前記電荷蓄積層の上方にコントロールゲートを形成する工程と、

少なくとも前記メモリトランジスタ形成領域を被覆するマスク層を形成する工程と、

前記マスク層をマスクとして前記選択トランジスタ形成領域のゲート絶縁膜を厚膜化する工程と、

前記メモリトランジスタ形成領域と選択トランジスタ形成領域において、ソース・ドレイン領域を形成する工程とを有する半導体不揮発性記憶装置の製造方法。

【請求項 2】前記選択トランジスタ形成領域のゲート絶縁膜を厚膜化する工程が、前記マスク層をマスクとして熱酸化処理を行う工程である請求項 1 記載の半導体不揮発性記憶装置の製造方法。

【請求項 3】前記マスク層を形成する工程が、前記選択トランジスタのコントロールゲートの前記メモリトランジスタ形成領域側の一部と、前記メモリトランジスタ形成領域の全部とを被覆して形成する工程である請求項 1 記載の半導体不揮発性記憶装置の製造方法。

【請求項 4】前記マスク層を形成する工程が、前記ソース・ドレイン領域を形成するためのマスクとなる層と同一のパターンで形成する工程である請求項 1 記載の半導体不揮発性記憶装置の製造方法。

【請求項 5】前記電荷蓄積層を形成する工程が、導電性材料によりフローティングゲートを形成する工程であり、

前記電荷蓄積層を形成する工程の後、前記コントロールゲートを形成する工程の前に、中間絶縁膜を形成する工程をさらに有する請求項 1 記載の半導体不揮発性記憶装置の製造方法。

【請求項 6】前記電荷蓄積層を形成する工程が、電荷トラップ準位を有する絶縁膜を形成する工程である請求項 1 記載の半導体不揮発性記憶装置の製造方法。

【請求項 7】前記絶縁膜を形成する工程が、窒化シリコン層と酸化シリコン層からなる積層絶縁膜を形成する工程である請求項 6 記載の半導体不揮発性記憶装置の製造方法。

【請求項 8】前記絶縁膜を形成する工程が、窒化シリコン層からなる絶縁膜を形成する工程である請求項 6 記載

の半導体不揮発性記憶装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体不揮発性記憶装置およびその製造方法に関し、特にトランジスタのゲート電極とチャネル形成領域の間に電荷蓄積層などを有する半導体不揮発性記憶装置およびその製造方法に関する。

【0002】

【従来の技術】フロッピーディスクなどの磁気記憶装置に代わり、電気的に書き換え可能な半導体不揮発性記憶装置（EEPROM: Electrically Erasable and Programmable ROM）が使われ始めている。EEPROMとしては、フローティングゲート型、MNOS型あるいはMONOS型、TEXTURED POLY型など、様々な特徴を有する構造のものが開発されている。

【0003】EEPROMの1つであるフローティングゲート構造のNAND型半導体不揮発性記憶装置について、その平面図を図6に示す。例えばLOCOS膜などの素子分離絶縁膜Iで分離されたシリコン半導体基板の活性領域と、ワード線となるコントロールゲートCG1、CG2、CG3との交点（図6中の斜線部分）において、コントロールゲートCG1、CG2、CG3とシリコン半導体基板のチャネル形成領域の間に電荷蓄積層としてフローティングゲートFGが形成されている。コントロールゲートCG1、CG2、CG3の両側部の基板中にはソース・ドレイン拡散層SDが形成されており、これにより、電界効果トランジスタであるメモリトランジスタMT1、MT2、MT3が形成される。

【0004】上記のコントロールゲートCG1、CG2、CG3と平行に選択ゲートSGが形成されており、メモリトランジスタが直列に接続されて形成されたNAND列の端部には、シリコン半導体基板の活性領域との交点において選択トランジスタSTが形成されている。ここで、選択トランジスタSTのソース・ドレイン拡散層としては、図6中、MSDで囲った内部の領域のメモリトランジスタ側のソース・ドレイン拡散層SDの導電性不純物の濃度は、メモリトランジスタのソース・ドレイン拡散層SDと同じ濃度であり、メモリトランジスタ側でない方のソース・ドレイン拡散層SD'よりも低濃度に設定されている。また、選択ゲートSGはワードシヤントコンタクトを通して上層配線などに接続されており、例えばマスクMOCをマスクとして周辺回路形成のために加工されている。

【0005】図6中、MGOで囲った内部の領域である、メモリトランジスタが形成されている領域においては、半導体層からフローティングゲートにゲート絶縁膜を通過させて電荷を注入、あるいはフローティングゲートから半導体層へ電荷を放出することでデータを記憶することができるように、ゲート絶縁膜の膜厚が薄く設計

されており、ファウラー・ノルドハイム型トンネル電流が生じるようになっている。一方、選択トランジスタなどが形成されている領域（図中、MGOの外部の領域）においては、上記のファウラー・ノルドハイム型トンネル電流が生じて、選択ゲートの下層に形成されているフローティングゲートに電荷が注入されることのないように、ゲート絶縁膜の膜厚は厚く設計されている。

【0006】上記の半導体不揮発性記憶装置について、図6のY-Y'における断面図を図7に示す。図面上右側の領域には、メモリトランジスタMT1、MT2が形成されている。シリコン半導体基板10上に例えば薄膜の酸化シリコンからなるゲート絶縁膜（トンネル絶縁膜）20aが形成されており、その上層に例えばポリシリコンからなるフローティングゲート30aが形成されている。その上層に、例えばONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）からなる中間絶縁膜21aが形成されており、その上層に例えばポリシリコンからなるコントロールゲート31aが形成されている。これらのフローティングゲート30a、中間絶縁膜21a、コントロールゲート31aは、例えば酸化シリコンからなる上層絶縁膜22によって被覆されている。また、コントロールゲート31aの両側部の半導体基板10中には、ソース・ドレイン拡散層11が形成されている。以上のように、コントロールゲート31aとチャネル形成領域の間に絶縁膜に被覆されたフローティングゲート30aを有する電界効果トランジスタを形成しており、フローティングゲート30aに電荷を蓄積してデータを記憶することができるメモリトランジスタMT1、MT2となる。

【0007】一方、図面上左側の領域には、選択トランジスタSTが形成されている。シリコン半導体基板10上に例えば酸化シリコンからなり、メモリトランジスタのゲート絶縁膜（トンネル酸化膜）よりも膜厚のゲート絶縁膜25aが形成されており、その上層に例えばポリシリコンからなるフローティングゲート30bが形成されている。その上層に、例えばONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）からなる中間絶縁膜21bが形成されており、その上層に例えばポリシリコンからなるコントロールゲート31bが形成されている。これらのフローティングゲート30b、中間絶縁膜21b、コントロールゲート31bは、例えば酸化シリコンからなる上層絶縁膜22によって被覆されている。また、コントロールゲート31bのメモリトランジスタ側の半導体基板10中には、メモリトランジスタのソース・ドレイン拡散層と同じ濃度の導電性不純物を含有するソース・ドレイン拡散層11が形成されており、メモリトランジスタ側と反対側の半導体基板10中には、メモリトランジスタのソース・ドレイン拡散層よりも高濃度の導電性不純物を含有するソース・ドレイン拡散層12が形成されている。以上のように、コントロールゲート31bと

チャネル形成領域の間に絶縁膜に被覆されたフローティングゲート30bを有する電界効果トランジスタを形成しているが、ゲート絶縁膜25aの膜厚が厚いために、ファウラー・ノルドハイム型トンネル電流が生じがたく、ゲート絶縁膜25aを通してフローティングゲート30bへの電荷の注入、あるいはフローティングゲート30bからの電荷の放出が困難であり、実質的にフローティングゲート30bは電荷蓄積層とはならず、通常のMOSトランジスタと同様の働きを行う選択トランジスタSTである。

【0008】上記の構造を有する半導体不揮発性記憶装置の製造方法について、図面を参照して説明する。まず、図8(a)に示すように、シリコン半導体基板10に対して例えばLOCOS法により酸化シリコンからなる図示しない素子分離絶縁膜を形成する。次に、素子分離絶縁膜に分離されたチャネル形成領域となる活性領域を被覆して全面に、例えば熱酸化法により酸化シリコン層24を形成する。ここで、図面上、右側の領域はメモリトランジスタ形成領域を示し、左側の領域は選択トランジスタ形成領域を示す。この膜厚としては、メモリトランジスタのゲート絶縁膜（トンネル絶縁膜）と、選択トランジスタのゲート絶縁膜の膜厚の差に相当する分の膜厚で形成する。

【0009】次に、図6中のゲート絶縁膜形成パターンMGOを有して選択トランジスタ形成領域などを保護するレジスト膜を形成し、RIE（反応性イオンエッチング）などのエッチングを施し、図8(b)に示すように、選択トランジスタ形成領域の酸化シリコン層24aを残してメモリトランジスタ形成領域の酸化シリコン層を除去する。このとき、パターンMGOの端部がメモリトランジスタと選択トランジスタの境界となるので、図6および図7においては、選択ゲートSGの端部からパターンMGOの端部までの距離C'と、パターンMGOの端部からコントロールゲートCG1の端部までの距離D'とがそれぞれ所定の範囲内に納まるようにパターンMGOを形成する。

【0010】次に、図8(c)に示すように、例えば熱酸化法により全面に酸化シリコン層を形成し、メモリトランジスタ形成領域においてゲート絶縁膜（トンネル絶縁膜）20を形成するとともに、選択トランジスタ形成領域において酸化シリコン層24aを厚膜化し、選択トランジスタ用のゲート絶縁膜25を形成する。

【0011】次に、図9(d)に示すように、例えばCVD法によりゲート絶縁膜（トンネル絶縁膜）20、ゲート絶縁膜25の上層に全面にポリシリコンを堆積させ、フローティングゲート用層30を形成し、図6に示すフローティングゲートパターンマスクMFGをマスクとしてRIEなどのエッチングを施し、素子分離絶縁膜の上層部分のフローティングゲート用層を除去してコントロールゲート方向に分離したフローティングゲート

用層を形成する。次に、例えばCVD法によりフローティングゲート用層30の上層にONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)を堆積させ、中間絶縁膜21を形成する。次に、例えばCVD法によりポリシリコンを堆積させ、コントロールゲート用層を形成する。次に、フォトリソグラフィ工程により、コントロールゲートおよび選択ゲートパターンのレジスト膜Rを形成する。

【0012】次に、図9(e)に示すように、レジスト膜Rに沿ってRIEなどのエッチングを施し、コントロールゲートおよび選択ゲートパターンを有するフローティングゲート30a、30b、中間絶縁膜21a、21b、およびコントロールゲート31a、31bを形成する。次に、例えばCVD法により酸化シリコンを全面に堆積させ、上層絶縁膜22を形成する。

【0013】次に、図6中のソース・ドレイン拡散層形成パターンMSDに沿って形成したマスク層をマスクとして導電性不純物をイオン注入し、メモリトランジスタのソース・ドレイン拡散層11を形成し、次に、上記のパターンMSDに沿ってネガポジ特性を逆転させて形成したマスク層をマスクとして導電性不純物をイオン注入し、選択トランジスタのメモリトランジスタ側でない方のソース・ドレイン拡散層12を形成する。ここで、図6および図7に示すように、選択ゲートSG上にソース・ドレイン拡散層形成パターンMSDの端部を形成する。このためには、メモリトランジスタ側でない側の選択ゲートの端部からパターンMSDまでの距離A'と、メモリトランジスタ側の選択ゲートの端部からパターンMSDまでの距離B'とがそれぞれ所定の範囲内に納まるように形成する。このとき、メモリトランジスタのソース・ドレイン拡散層11はトランジスタ特性を一定に保持するために導電性不純物を低濃度にして形成し、選択トランジスタのメモリトランジスタ側でない方のソース・ドレイン拡散層12は抵抗が小さいほうが好ましく、導電性不純物を高濃度にして形成する。以上で、図7に示すような、メモリトランジスタMT1、MT2および選択トランジスタSTを有する半導体不揮発性記憶装置を形成することができる。

【0014】上記の従来の半導体不揮発性記憶装置の形成方法においては、メモリトランジスタのゲート電極と、選択トランジスタの選択ゲートとを同一の工程で加工するため、選択ゲートの下部にフローティングゲートを有する構造となる。これにより、配置密度を上げることが可能となる。また、選択ゲート下部のフローティングゲートに対して電荷注入が生じると、選択ゲートによるメモリセルの選択ができなくなるため、フローティングゲートの下層のゲート絶縁膜を厚膜化し、ファウラー・ノルドハイム型トンネル電流が発生しないようにしている。

【0015】

【発明が解決しようとする課題】しかしながら、上記の従来の半導体不揮発性記憶装置の形成方法においては、メモリトランジスタのゲート絶縁膜(トンネル絶縁膜)と選択トランジスタのゲート絶縁膜の膜厚を異ならせて形成するため、ゲート絶縁膜の加工工程が長くなり、製造コストを上げる一因となっていた。

【0016】また、メモリトランジスタのゲート絶縁膜(トンネル絶縁膜)と選択トランジスタのゲート絶縁膜の膜厚を異ならせるため、ゲート絶縁膜形成パターンMGOを有して選択トランジスタ形成領域などを保護するレジスト膜を形成する。このとき、パターンMGOの端部がメモリトランジスタと選択トランジスタの境界となるように形成する必要がある。図6および図7においては、選択ゲートSGの端部からパターンMGOの端部までの距離C'と、パターンMGOの端部からコントロールゲートCG1の端部までの距離D'とがそれぞれ所定の範囲内に納まるように形成する必要がある。このため、マスクなどの合わせ精度が要求され、合わせのマージンが必要となり、パターン密度の縮小化、装置の小型化などの障害となっている。

【0017】本発明は上記の問題点を鑑みてなされたものであり、従って、本発明は、ゲート絶縁膜の加工工程を短縮して膜厚の異なるメモリトランジスタのゲート絶縁膜(トンネル絶縁膜)と選択トランジスタのゲート絶縁膜を形成でき、また、この膜厚を異ならせるゲート絶縁膜形成のためのパターンの合わせのマージンが不要で、パターン密度の縮小化、装置の小型化などが可能な半導体不揮発性記憶装置の製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体不揮発性記憶装置は、電荷蓄積層を有するメモリトランジスタと、当該メモリトランジスタを選択する選択トランジスタとを有する半導体不揮発性記憶装置の製造方法であって、メモリトランジスタ形成領域と選択トランジスタ形成領域において、半導体基板に形成されたチャネル形成領域の上層にゲート絶縁膜を形成する工程と、前記メモリトランジスタ形成領域と選択トランジスタ形成領域において、前記ゲート絶縁膜の上層に電荷蓄積層を形成する工程と、前記メモリトランジスタ形成領域と選択トランジスタ形成領域において、前記電荷蓄積層の上方にコントロールゲートを形成する工程と、少なくとも前記メモリトランジスタ形成領域を被覆するマスク層を形成する工程と、前記マスク層をマスクとして前記選択トランジスタ形成領域のゲート絶縁膜を厚膜化する工程と、前記メモリトランジスタ形成領域と選択トランジスタ形成領域において、ソース・ドレイン領域を形成する工程とを有する。

【0019】上記の本発明の半導体不揮発性記憶装置の製造方法は、メモリトランジスタ形成領域と選択トラン

ジスタ形成領域において、基板に形成されたチャネル形成領域を有する半導体層の上層にゲート絶縁膜を形成し、その上層に電荷蓄積層を形成し、その上方にコントロールゲートを形成する。次に、少なくともメモリトランジスタ形成領域を被覆するマスク層を形成して、このマスク層をマスクとして選択トランジスタ形成領域のゲート絶縁膜を厚膜化する。次に、メモリトランジスタ形成領域と選択トランジスタ形成領域において、ソース・ドレイン領域を形成する。以上で、メモリトランジスタ形成領域においては、チャネル形成領域とコントロールゲートの間に電荷蓄積層を有し、電荷蓄積層に電荷を蓄積してデータを記憶するメモリトランジスタを形成することができ、一方、選択トランジスタ形成領域においては、チャネル形成領域とコントロールゲートの間に電荷蓄積層を有しているが、メモリトランジスタのゲート絶縁膜よりも膜厚の厚いゲート絶縁膜を有することで電荷の注入あるいは放出が困難であり、実質的に通常のMOSトランジスタと同様の働きを行う選択トランジスタを形成することができる。

【0020】上記の本発明の半導体不揮発性記憶装置の製造方法によれば、電荷蓄積層を有するメモリトランジスタのゲート電極と、選択トランジスタの選択ゲートとを同一の工程で加工するため、選択ゲートの下部に電荷蓄積層（例えばフローティングゲート）を有する構造となり、配置密度を上げることが可能となる。選択トランジスタのゲート絶縁膜は、各ゲート電極の形成後に厚膜化する。これにより、ゲート絶縁膜の加工工程を短縮して膜厚の異なるメモリトランジスタのゲート絶縁膜（トンネル絶縁膜）と選択トランジスタのゲート絶縁膜を形成でき、また、この膜厚を異ならせるゲート絶縁膜形成のためのパターン形成が不要となるので、その合わせのマージンが不要となり、パターン密度の縮小化、装置の小型化などが可能となる。

【0021】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記選択トランジスタ形成領域のゲート絶縁膜を厚膜化する工程が、前記マスク層をマスクとして熱酸化処理を行う工程である。これにより、選択トランジスタ形成領域のゲート絶縁膜を厚膜化することができ、ゲート絶縁膜の加工工程を短縮して膜厚の異なるメモリトランジスタのゲート絶縁膜（トンネル絶縁膜）と選択トランジスタのゲート絶縁膜を形成できる。

【0022】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記マスク層を形成する工程が、前記選択トランジスタのコントロールゲートの前記メモリトランジスタ形成領域側の一部と、前記メモリトランジスタ形成領域の全部とを被覆して形成する工程である。これにより、マスク層形成パターンと、ソース・ドレイン領域形成パターンを兼用することが可能となり、マスクの枚数を減らすことができ、さらに工程数を

抑制することができる。

【0023】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記マスク層を形成する工程が、前記ソース・ドレイン領域を形成するためのマスクとなる層と同一のパターンで形成する工程である。これにより、マスクの枚数を減らすことができ、さらに工程数を抑制することができる。

【0024】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記電荷蓄積層を形成する工程が、導電性材料によりフローティングゲートを形成する工程であり、前記電荷蓄積層を形成する工程の後、前記コントロールゲートを形成する工程の前に、中間絶縁膜を形成する工程をさらに有する。これにより、フローティングゲートに電荷を蓄積するフローティングゲート型の半導体不揮発性記憶装置を形成することができる。

【0025】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記電荷蓄積層を形成する工程が、電荷トラップ準位を有する絶縁膜を形成する工程である。この電荷トラップ準位を有する絶縁膜としては、窒化シリコン層と酸化シリコン層からなる積層絶縁膜、窒化シリコン層からなる絶縁膜とすることができる。これにより、MONOS型、あるいはMNOS型などの絶縁膜中に電荷を蓄積する半導体不揮発性記憶装置とすることができる。

【0026】

【発明の実施の形態】以下に、本発明の半導体不揮発性記憶装置およびその製造方法の実施の形態について、図面を参照して下記に説明する。

【0027】第1実施形態

図1はフローティングゲート構造を有する本実施形態のNAND型半導体不揮発性記憶装置について、その平面図を図1に示す。例えばLOCOS膜などの素子分離絶縁膜1で分離されたシリコン半導体基板の活性領域と、ワード線となるコントロールゲートCG1、CG2、CG3との交点（図1中の斜線部分）において、コントロールゲートCG1、CG2、CG3とシリコン半導体基板のチャネル形成領域の間に電荷蓄積層としてフローティングゲートFGが形成されている。コントロールゲートCG1、CG2、CG3の両側部の基板中にはソース・ドレイン拡散層SDが形成されており、これにより、電界効果トランジスタであるメモリトランジスタMT1、MT2、MT3が形成される。

【0028】上記のコントロールゲートCG1、CG2、CG3と平行に選択ゲートSGが形成されており、メモリトランジスタが直列に接続されて形成されたNAND列の端部には、シリコン半導体基板の活性領域との交点において選択トランジスタSTが形成されている。ここで、選択トランジスタSTのソース・ドレイン拡散層としては、図1中、MSDで囲った内部の領域のメモリトランジスタ側のソース・ドレイン拡散層SDの導電

性不純物の濃度は、メモリトランジスタのソース・ドレイン拡散層SDと同じ濃度であり、メモリトランジスタ側でない方のソース・ドレイン拡散層SD'よりも低濃度に設定されている。また、選択ゲートSGはワードシャントコンタクトを通して上層配線などに接続されており、例えばマスクMOCをマスクとして周辺回路形成のために加工されている。

【0029】図1中、メモリトランジスタが形成されている領域においては、半導体層からフローティングゲートにゲート絶縁膜を通過させて電荷を注入、あるいはフローティングゲートから半導体層へ電荷を放出することでデータを記憶することができるように、ゲート絶縁膜の膜厚が薄く設計されており、ファウラー・ノルドハイム型トンネル電流が生じるようになっている。一方、選択トランジスタが形成されている領域においては、上記のファウラー・ノルドハイム型トンネル電流が生じて、選択ゲートの下層に形成されているフローティングゲートに電荷が注入されることのないように、ゲート絶縁膜の膜厚は厚く設計されている。

【0030】上記の半導体不揮発性記憶装置について、図1のX-X'における断面図を図2に示す。図面上右側の領域には、メモリトランジスタMT1、MT2が形成されている。シリコン半導体基板10上に例えば薄膜の酸化シリコンからなるゲート絶縁膜（トンネル絶縁膜）20aが形成されており、その上層に例えばポリシリコンからなるフローティングゲート30aが形成されている。その上層に、例えばONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）からなる中間絶縁膜21aが形成されており、その上層に例えばポリシリコンからなるコントロールゲート31aが形成されている。これらのフローティングゲート30a、中間絶縁膜21a、コントロールゲート31aは、例えば酸化シリコンからなる上層絶縁膜22によって被覆されている。また、コントロールゲート31aの両側部の半導体基板10中には、ソース・ドレイン拡散層11が形成されている。以上のように、コントロールゲート31aとチャネル形成領域の間に絶縁膜に被覆されたフローティングゲート30aを有する電界効果トランジスタを形成しており、フローティングゲート30aに電荷を蓄積してデータを記憶することができるメモリトランジスタMT1、MT2となる。

【0031】一方、図面上左側の領域には、選択トランジスタSTが形成されている。シリコン半導体基板10上に例えば酸化シリコンからなり、メモリトランジスタのゲート絶縁膜（トンネル酸化膜）よりも膜厚のゲート絶縁膜20cが形成されており、その上層に例えばポリシリコンからなるフローティングゲート30bが形成されている。その上層に、例えばONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）からなる中間絶縁膜21bが形成されており、その上層に例えばポリシリコンからな

るコントロールゲート31bが形成されている。これらのフローティングゲート30b、中間絶縁膜21b、コントロールゲート31bは、例えば酸化シリコンからなる上層絶縁膜22によって被覆されている。また、コントロールゲート31bのメモリトランジスタ側の半導体基板10中には、メモリトランジスタのソース・ドレイン拡散層と同じ濃度の導電性不純物を含有するソース・ドレイン拡散層11が形成されており、メモリトランジスタ側と反対側の半導体基板10中には、メモリトランジスタのソース・ドレイン拡散層よりも高濃度の導電性不純物を含有するソース・ドレイン拡散層12が形成されている。以上のように、コントロールゲート31bとチャネル形成領域の間に絶縁膜に被覆されたフローティングゲート30bを有する電界効果トランジスタを形成しているが、ゲート絶縁膜20cの膜厚が厚いために、ファウラー・ノルドハイム型トンネル電流が生じがたく、ゲート絶縁膜20cを通してフローティングゲート30bへの電荷の注入、あるいはフローティングゲート30bからの電荷の放出が困難であり、実質的にフローティングゲート30bは電荷蓄積層とはならず、通常のMOSトランジスタと同様の働きを行う選択トランジスタSTである。

【0032】上記の構造を有する半導体不揮発性記憶装置の製造方法について、図面を参照して説明する。ここで、図面上、右側の領域はメモリトランジスタ形成領域を示し、左側の領域は選択トランジスタ形成領域を示す。まず、図3(a)に示すように、シリコン半導体基板10に対して例えばLOCOS法により酸化シリコンからなる図示しない素子分離絶縁膜を形成する。次に、素子分離絶縁膜に分離されたチャネル形成領域となる活性領域を被覆して全面に、例えば熱酸化法によりゲート絶縁膜（トンネル絶縁膜）20を形成する。次に、例えばCVD法によりゲート絶縁膜（トンネル絶縁膜）20の上層に全面にポリシリコンを堆積させ、フローティングゲート用層30を形成し、図1に示すフローティングゲートパターンのマスクMFGをマスクとしてRIE（反応性イオンエッチング）などのエッチングを施し、素子分離絶縁膜の上層部分のフローティングゲート用層を除去してコントロールゲート方向に分離したフローティングゲート用層30を形成する。

【0033】次に、例えばCVD法によりフローティングゲート用層30の上層にONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）を堆積させ、中間絶縁膜21を形成する。次に、例えばCVD法によりポリシリコンを堆積させ、コントロールゲート用層を形成する。次に、フォトリソグラフィ工程により、コントロールゲートおよび選択ゲートパターンのレジスト膜Rを形成する。

【0034】次に、図3(b)に示すように、レジスト膜Rに沿ってRIEなどのエッチングを施し、コントロールゲートおよび選択ゲートパターンを有するフローテ

インゲート 30a、30b、中間絶縁膜 21a、21b、およびコントロールゲート 31a、31b を形成する。次に、例えば CVD 法により酸化シリコンを全面に堆積させ、上層絶縁膜 22 を形成する。

【0035】次に、図 4 (c) に示すように、例えば CVD 法により全面に窒化シリコンを膜厚 10 nm で堆積させ、図 1 中のソース・ドレイン拡散層形成パターン MSD の沿ってパターンニングして、選択トランジスタのコントロールゲートのメモリトランジスタ形成領域側の一部と、メモリトランジスタ形成領域の全部とを被覆するマスク層 23 を形成する。

【0036】次に、図 4 (d) に示すように、例えば水蒸気中で 900℃、15 分の熱酸化処理を行い、厚膜化した選択トランジスタ形成領域のゲート絶縁膜 20c を形成する。これは、マスク層 23 をマスクとして熱酸化するので、メモリトランジスタ形成領域は保護されて熱酸化は行われない。一方、選択トランジスタ形成領域においてはマスク層の外方から徐々に酸化が進行し、選択トランジスタ形成領域のゲート絶縁膜が厚膜化していき、その厚膜化した先端部分がバースピーク BB となる。バースピーク BB の長さとしては、マスク層の膜厚により変わるが、例えば 100 nm となる。このとき、少なくとも選択トランジスタ形成領域のゲート絶縁膜にメモリトランジスタ形成領域のゲート絶縁膜 20a と同等に薄い領域が残らないように、バースピーク BB が選択トランジスタのフローティングゲート 30b のメモリトランジスタ側の端部に達するまで十分に酸化を行う。また、このとき同時に選択トランジスタ形成領域の上層絶縁膜も厚膜化する。

【0037】次に、図 1 中のソース・ドレイン拡散層形成パターン MSD に沿って形成した層をマスクとして導電性不純物をイオン注入し、メモリトランジスタのソース・ドレイン拡散層 11 を形成し、次に、上記のパターン MSD に沿ってネガポジ特性を逆転させて形成した層をマスクとして導電性不純物をイオン注入し、選択トランジスタのメモリトランジスタ側でない方のソース・ドレイン拡散層 12 を形成する。このとき、メモリトランジスタのソース・ドレイン拡散層 11 はトランジスタ特性を一定に保持するために導電性不純物を低濃度にして形成し、選択トランジスタのメモリトランジスタ側でない方のソース・ドレイン拡散層 12 は抵抗が小さいほうが好ましく、導電性不純物を高濃度にして形成する。このときのマスクとなる層は、従来方法と同様に、図 1 および図 2 に示すように、選択ゲート SG 上にソース・ドレイン拡散層形成パターン MSD の端部を形成するようにする。以上のようにして、図 2 に示すメモリトランジスタ MT1、MT2 および選択トランジスタ ST を有する半導体不揮発性記憶装置を形成することができる。

【0038】上記の本実施形態の半導体不揮発性記憶装置の製造方法によれば、フローティングゲートを有する

メモリトランジスタのゲート電極と、選択トランジスタの選択ゲートとを同一の工程で加工するため、選択ゲートの下部にフローティングゲートを有する構造となり、配置密度を上げることが可能となる。選択トランジスタのゲート絶縁膜は、各ゲート電極の形成後に厚膜化するので、ゲート絶縁膜の加工工程を短縮して膜厚の異なるメモリトランジスタのゲート絶縁膜（トンネル絶縁膜）と選択トランジスタのゲート絶縁膜を形成できる。また、従来のような膜厚を異なるゲート絶縁膜の形成のためのパターン形成が不要となるので、その合わせのマージンが不要となり、パターン密度の縮小化、装置の小型化などが可能となる。また、選択トランジスタ形成領域のゲート絶縁膜を厚膜化するときのマスク層の形成パターンと、ソース・ドレイン領域形成パターンを兼用することにより、マスクの枚数を減らすことができ、さらに工程数を抑制することができる。

【0039】第 2 実施形態

本実施形態の半導体不揮発性記憶装置の平面図は第 1 実施形態と実質的に同様である。図 5 は本実施形態の半導体不揮発性記憶装置の断面図である。第 1 実施形態の半導体不揮発性記憶装置の断面図と実質的に同一であるが、マスク層 23 がメモリトランジスタ領域を被覆しているが、選択トランジスタの選択ゲートには達しないようにして形成してある。このため、選択トランジスタのゲート絶縁膜を厚膜化する際に、バースピークは選択トランジスタのメモリトランジスタ側とその反対側の両方から入り込み、最終的にはフローティングゲート 30b の下層に均一に厚膜化されたゲート絶縁膜 20c が形成される。このため、バースピーク BB はメモリトランジスタと選択トランジスタの間の領域に形成されたマスク層 23 の端部の下層に形成されている。

【0040】上記の本実施形態の半導体不揮発性記憶装置は実質的に第 1 実施形態と同様に製造することができる。これにより、フローティングゲートを有するメモリトランジスタのゲート電極と、選択トランジスタの選択ゲートとを同一の工程で加工するため、選択ゲートの下部にフローティングゲートを有する構造となり、配置密度を上げることが可能となる。選択トランジスタのゲート絶縁膜は、各ゲート電極の形成後に厚膜化するので、ゲート絶縁膜の加工工程を短縮して膜厚の異なるメモリトランジスタのゲート絶縁膜（トンネル絶縁膜）と選択トランジスタのゲート絶縁膜を形成できる。また、従来のような膜厚を異なるゲート絶縁膜の形成のためのパターン形成が不要となるので、その合わせのマージンが不要となり、パターン密度の縮小化、装置の小型化などが可能となる。

【0041】本発明の半導体不揮発性記憶装置およびその製造方法は、上記の実施の形態に限定されない。例えば、コントロールゲート電極は 1 層としているが、ポリサイドなどの多層構成としてよい。電荷蓄積層として

は、フローティングゲートの他、窒化シリコン層、あるいは窒化シリコン層と酸化シリコン層の積層絶縁膜中の電荷トラップ準位に電荷を蓄積するMNOS型、MONOS型などとしてもよい。フローティングゲートは単層の他、多層構成としてもよい。また、ソース・ドレイン拡散層は、LDD構造など、様々な構造としてもよい。半導体記憶装置としてはNAND型に限定されず、NOR型、DINOR型などでもよい。電荷の電荷蓄積層への注入は、データの書き込み、消去のどちらに相当する場合でも構わない。その他、本発明の要旨を逸脱しない範囲で種々の変更が可能である。

【0042】

【発明の効果】本発明の半導体不揮発性記憶装置の製造方法によれば、ゲート絶縁膜の加工工程を短縮して膜厚の異なるメモリトランジスタのゲート絶縁膜（トンネル絶縁膜）と選択トランジスタのゲート絶縁膜を形成でき、また、この膜厚を異ならせるゲート絶縁膜形成のためのパターンの合わせのマージンが不要で、パターン密度の縮小化、装置の小型化などが可能な半導体不揮発性記憶装置を製造することができる。

【図面の簡単な説明】

【図1】図1は、本発明の第1実施形態に係る半導体不揮発性記憶装置の平面図である。

【図2】図2は、本発明の第1実施形態に係る半導体不揮発性記憶装置の断面図である。

【図3】図3は、図2に示す半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、（a）はレジスト膜の形成工程まで、（b）は上層絶縁膜の形成工程までを示す。

【図4】図4は、図3の続きの工程を示す断面図であ

り、（c）はマスク層の形成工程まで、（d）は選択トランジスタ形成領域のゲート絶縁膜の厚膜化工程までを示す。

【図5】図5は、本発明の第2実施形態に係る半導体不揮発性記憶装置の断面図である。

【図6】図6は、従来方法に係る半導体不揮発性記憶装置の平面図である。

【図7】図7は、従来方法に係る半導体不揮発性記憶装置の断面図である。

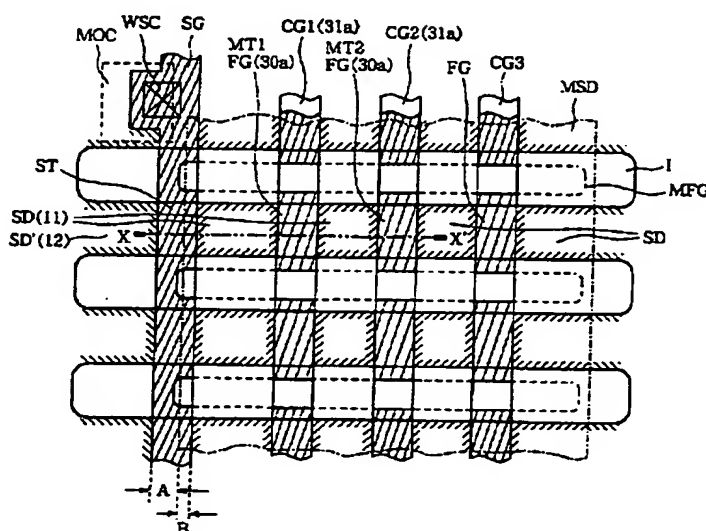
【図8】図8は、図7に示す半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、（a）は酸化シリコン層の形成工程まで、（b）はメモリトランジスタ形成領域の酸化シリコン層の除去工程まで、（c）はゲート絶縁膜の形成工程までを示す。

【図9】図9は、（d）はレジスト膜の形成工程まで、（e）は上層絶縁膜の形成工程までを示す。

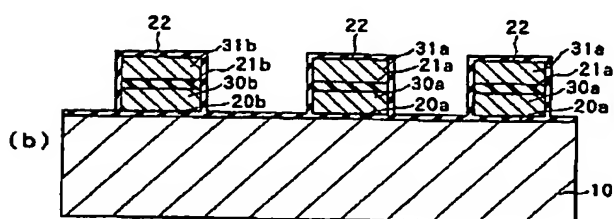
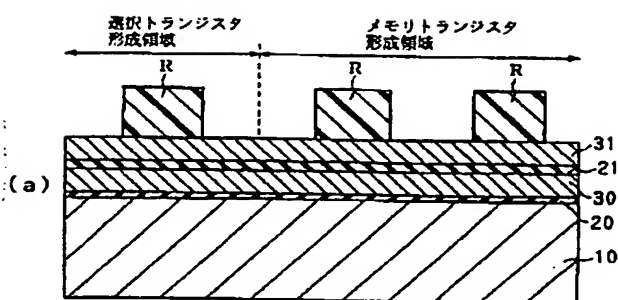
【符号の説明】

10…半導体基板、11（SD）…ソース・ドレイン拡散層、12（SD'）…高濃度ソース・ドレイン拡散層、20、20a、20b、20c、25、25a…ゲート絶縁膜、21、21a、21b…中間絶縁膜、22、22a…上層絶縁膜、23…マスク層、24、24a…酸化シリコン層、30…フローティングゲート用層、30a、30b（FG）…フローティングゲート、31…コントロールゲート用層、31a、31b（CG1、CG2、CG3）…コントロールゲート、R…レジスト膜、BB…バースピーク、MT1、MT2…メモリトランジスタ、ST…選択トランジスタ、I…素子分離絶縁膜。

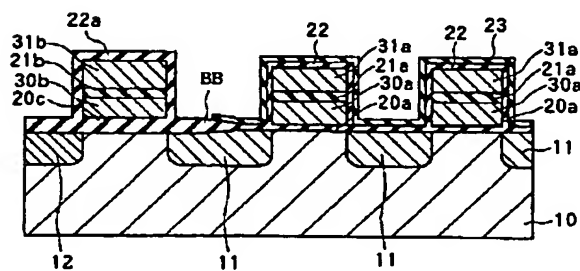
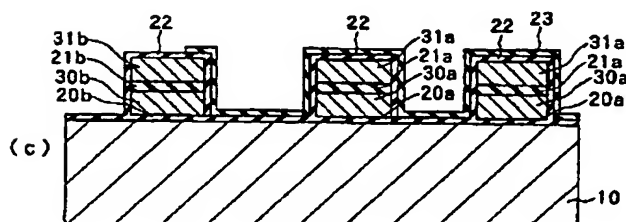
【図1】



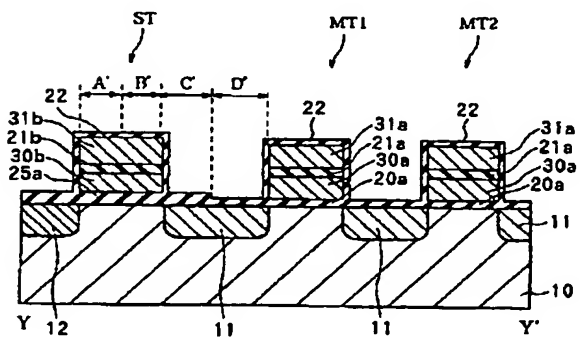
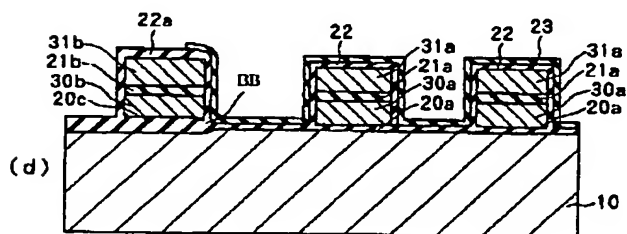
【図 3】



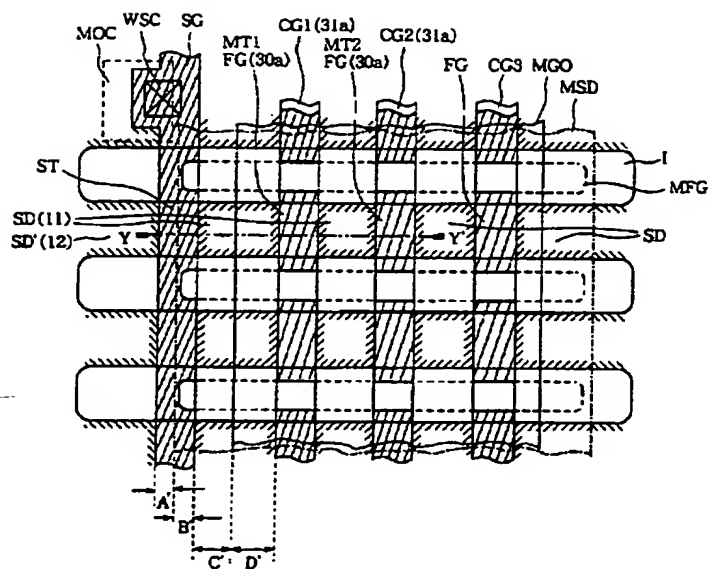
【図5】



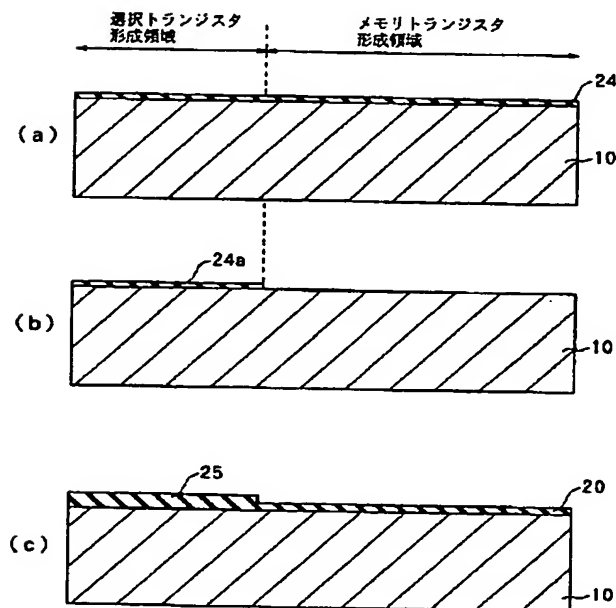
【図 7】



【図6】



【図8】



【図9】

